

Sent By: SLWK;
Received: 3/23/01 4:01PM;
03/23/01 15:01 FAX
esp@cenet - Document Bibliography and Abstract

480 596 3901; Mar-23-01 4:54PM;
-> SLWK; Page 2

Page 2

002

Page 1 of 1

DEVICE BUILT-IN MULTILAYERED PRINTED CIRCUIT BOARD AND ITS MANUFACTURE

Patent Number: JP11045955

Publication date: 1999-02-16

Inventor(s): HAYASHI KATSURA

Applicant(s): KYOCERA CORP

Requested Patent: JP11045955

Application Number: JP19970201653 19970728

Priority Number(s):

IPC Classification: H01L23/12 ; H05K3/46

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a multilayered printed circuit board and its manufacturing method capable of downsizing the board and increasing a device packing density.

SOLUTION: The board comprises an insulation substrate laminated by a plurality of insulation layers 1, 7, and 8 including at least thermosetting resin, wiring circuit layers 4, 9, and 10 formed on the surface and inside the insulation substrate, and via-hole conductors 2, 11, and 12 for electrically connecting the wiring circuit layers, 4, 9, and 10. A gap 3 is formed inside an insulation substrate 13, an electrical device 5 such as a semiconductor device, a capacitor, a resistor or the like is mounted in the gap 3, and a plurality of gaps are formed in a laminated direction of the printed circuit board.

Data supplied from the esp@cenet database - 12

(10)日本国特許 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-45955

(13)公開日 平成11年(1999)2月16日

(51)IntCL:
H01L 23/12
H05K 3/46

国際申立番号

FI
H01L 23/12
H05K 3/46

N
Q
N
G

特許請求の範囲 OL (全 8 頁)

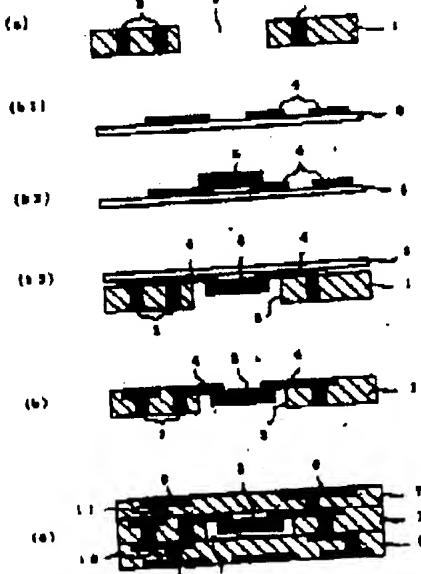
(21)出願番号 特願平9-201663
(22)出願日 平成9年(1997)7月26日

(71)出願人 00000000
東セラ株式会社
東京都江東区伏見二丁目竹田島町5番地
(72)実用新案登録者 井 基
東京都葛飾区市川下町1番4号 東セラ株
式会社総合研究所内

(34)【発明の名前】 素子内蔵多層配線基板およびその製造方法

(51)【要約】

【課題】基板の小型化と、素子の実装密度を高めることのできる多層配線基板とその製造方法を提供する。
【解決手段】少なくとも片側化性樹脂を含む複数の絶縁層1、7、8を積層してなる絶縁基板13と、絶縁基板13の表面および内部に形成された配線回路層4、9、10と、配線回路層4、9、10間に電気的に接続するためのピアホール等体2、11、12を具備する多層配線基板において、絶縁基板13内部に、空隙部3を形成するとともに、空隙部3内に半導体素子またはコンデンサ、抵抗素子等の電子部品などの電気素子を実装収納し、封止部を、さらには、空隙部を、配線基板の積層方向に封止設けたことを特徴とする。



特開平11-45955

(2)

2

1

【特許請求の範囲】

【請求項1】少なくとも熱硬化性樹脂を含む複数の绝缘層を複層してなる绝缘基板と、該绝缘基板の表面および内部に形成された配線回路層と、前記配線回路層を電気的に接続するためのピアホール導体を具備する多層配線基板において、前記绝缘基板内部に、空隙部を形成するとともに、該空隙部内に電気素子を実装収納してなることを特徴とする素子内蔵多層配線基板。

【請求項2】前記空隙部にて、前記電気素子を金属箔からなる配線回路層に半田接続してなることを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項3】前記電気素子が、半導体素子または電子部品であることを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項4】前記ピアホール導体を金属粉末の充填によって形成したことを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項5】前記空隙部を、配線基板の積層方向に複数設けたことを特徴とする素子内蔵多層配線基板。

【請求項6】電子シートの表面に形成された配線回路層に電気素子を接続する接線工程と、少なくとも熱硬化性樹脂からなる第1の绝缘層にキャビティを形成するキャビティ形成工程と、前記第1の绝缘層の前記キャビティ内に前記電気素子が収納されるように、前記電子シートから前記配線回路層と前記電気素子を前記第1の绝缘層に転写する転写工程と、転写工程後の前記第1の绝缘層の上下面に、少なくとも熱硬化性樹脂を含み、少なくとも配線回路層が形成された第2および第3の绝缘層を複層する積層工程と、それを具備することを特徴とする電子内蔵多層配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、多層配線基板及び半導体素子取扱用パッケージなどに適し、特に基板内部に電気素子が内蔵されてなる多層配線基板とその製造方法に関するものである。

【0002】

【従来技術】従来より、電子機器は小型化が進んでいるが、近年携帯電話の急速や、コンピューターを持ち運んで操作する、いわゆるモバイルコンピューティングの普及によってさらに小型、薄型且つ高機能の多層配線基板が求められる傾向にある。

【0003】従来のアリント配線基板では、プリフレードと呼ばれる有機樹脂を含む平板の表面に鋼線を接着した後、これをエッチングして微細な回路を形成し、これを積層した後、所望位置にマイクロドリルでスルーホールの穴を開けを行い、そのホール内部にメカ法により金属を付着させてスルーホール導体を形成して各層間の電気的な接続を行っている。

【0004】ところが、この方法では、スルーホール導

体は配線基板全体にわたり貫通したものであるために、積層数が増加するに伴い、スルーホール数が増加する同様に必要なスペースが確保できなくなるという問題が生じ、電子機器の小型化、小型化に伴うアリント基板の薄型化、小型化、軽量化に対しては、対応できないのが現状である。

【0005】そこで、最近では、絶縁層に対して形成したピアホール内に金属粉末を充填してピアホール導体を形成した後、他の绝缘層を積層して多層化した配線基板が提案されている。

【0006】また、従来のアリント配線基板に対して、半導体素子やコンデンサ素子、抵抗素子などを接続する場合には、配線基板の表面に形成された配線回路層に対してこれらの電気素子を半田等により実装し、実装した素子を樹脂によってモールドする方法、配線基板の表面に凹部を形成して、その凹部内に素子を凹側して樹脂モールドしたり、蓋体によって凹部を更密に封止する方法がある。

【0007】

【発明が解決しようとする課題】しかしながら、ピアホール導体を金属粉末の充填によって形成する方法は、ピアホール導体の小型化が可能であるとともに、任意の位置に配線できる点で配線基板の小型化に対しては有効であるが、配線基板をより多層化したとしても、その配線基板に接続する素子は、配線基板の表面にしか実装することができないために、配線基板の小型化には自ずと限界があった。

【0008】従って、本発明は、半導体素子や電子部品（コンデンサ素子、抵抗素子、フィルター素子、充電池子など）の電気素子を接続する多層配線基板において、基板の小型化と、素子の実装密度を高めることのできる多層配線基板を提供することを目的とするものである。さらに、本発明は、基板の内部に素子を内蔵することのできる多層配線基板を容易に構成することのできる多層配線基板の製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明者は、電気素子を接続した配線基板の小型化について検討を重ねた結果、配線基板内に、電気素子を実装収納するための空隙部を形成することにより、配線基板のより多くの電気素子を接続した小型の配線基板を提供できること、さらには、配線基板を作製するにあたり、金属層からなる配線回路層を電子シートからの転写によって形成する間に、電子シート上のする網目に予め電気素子を半田などで接続した後、空隙部を形成した绝缘層に転写することで、绝缘層に何ら影響を及ぼすことなく、素子を内蔵した配線基板を作製できることを見いだし、本発明に至った。

【0010】即ち、本発明の多層配線基板は、電気素子を内蔵したものであり、少なくとも熱硬化性樹脂を含む

50

005

#11-43955

(3)

3
複数の絶縁層を重ねてなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、該配線回路層間に電気的に接続するためのピアホール導体を具備する多層配線基板において、前記絶縁基板内部に、空隙部を形成するとともに、該空隙部内に電気素子を実装する構造であることを特徴とするものである。

【0011】また、前記空隙部内にて、前記電気電子を
金属層からなる配線遮断層に半田めぐしてなること、前
記電気電子が、半導体電子または電子部品であること、
前記配線遮断層を金属層により形成し、前記ピアホール
等体を金属板の充填によって形成したこと、さらに
は、前記空隙部を、配線基板の積層方向に複数設けたこ
とを特徴とするものである。

とを得難とするものである。

〔0012〕また、かかる配電基板の製造方法としては、板等シートの裏面に形成された配電回路層に電気電子を実施する施工工程と、少なくとも熱硬化性樹脂からなる第1の絶縁層にキャビティを形成するキャビティ形成工程と、前記第1の絶縁層の前記キャビティ内に前記電気電子が収納されるように、前記板等シートから前記配電基板と前記電気電子を前記第1の絶縁層に収容する板等工程と、板等工程後の前記第1の絶縁層の上下面に、少なくとも熱硬化性樹脂を含む第2および第3の絶縁層を積層圧着する積層工程、とを具備することを特徴とするものである。

【0013】
【実施の形態】以下、本発明を図面をもとに説明

する。図1は、本発明の電子内蔵多層記録装置を構成するための第1の複数工程を説明するための図である。
[0014] 図1によれば、まず、図1(a)に示すように、熱硬化性樹脂を含む吸音(Bステーショ状態)の第1の絶縁シート1を作製する。また、この絶縁シート1には、所望により組み方向に貫通するスルーホールを形成し、そのスルーホール内に金属粉末を含む導体ベーストをスクリーン印刷や噴射処理しながら充填して、ピアホール導体2を形成する。また、この絶縁シート1の所定箇所に電気素子を位付けるための空隙部3を形成する。

[0015] 次に、図1(b)に示すように、絶縁シート1の裏面に記憶用部材4を形成するとともに、絶縁シート1の空隙部に電気導体5を直接貼付する。記憶用部材4は、1) 絶縁シート1の裏面に金属箔を貼り付けた後、エッティング処理して凹凸パターンを形成する方法、2) 絶縁シート1裏面にレジストを形成して、マキニにより形成する方法、3) 断厚フィルム表面に金属箔を貼り付け、金属箔をエッティング処理して凹凸パターンを形成した後、この金属箔からなる凹凸パターンを絶縁シート1の裏面に形成する方法等である。

ト1表面に乾燥させる方法等が考へられる。
[0016]本第1の吸湿方法においては、配混量調節
 4と、配混量調節4にて電原子子を実質した焼成物を左
 等フィルムから絶縁シート1に乾燥させる、その具體的

な方法を図1(b1)～(b3)に示す。この方法によれば、例えば、樹脂や金属からなる配線フィルム6の表面に金属膜を接着した後、エッチングして配線凹部層4を形成する(図1(b1))。その後、その配線凹部層4に、電気接点5を半田、TAB、ワイヤーボンディングにより構成する(図1(b2))。

[0017] その後、電気導子 5 が実装された部品フィルム 6 を絶縁シート 1 に対しても、電気導子 5 が絶縁シート 1 の空隙部 3 に収納されるように横置して圧着した後、部品フィルム 6 を剥がして(図1(b3))、部品フィルム 6 と電気導子 5 とを絶縁シート 1 に転写させて、図1(b)に示すような電気導子 5 が絶縁シート 1 の空隙部 3 に収納された状態を形成することができる。この前記された半層の配線層を形成することができる。この時、絶縁シート 1 は、未硬化または半硬化状態であり軟質であることから、配線回路層 4 を圧着することにより、絶縁シート 1 の表面に埋め込むことができるとともに、絶縁シート 1 に形成されたピアホール構体 2 を確実化することができる。

[0018]また、上記の例では、基本的には、電気子を認識する記憶回路部4は、電気子5とともに、同時に記憶させるものであるが、電気子5の認識に同時に記憶せざる記憶回路部(表示せず)は、電気子5と記憶しない記憶回路部(表示せず)は、電気子5と記憶しない記憶部とともに同時にするか、または個別に表示した

1)～3)のいずれの方法で形成してもよい。
【0019】また、空隙部3内に取込まれた電気素子5は、配線部4に実装された状態でエポキシ樹脂等により封止してもよい。

【0020】次に、上記のように空隙部うねり電気子午線を形成された絶縁シート1の上下面に、酸化状態
3が強調取扱われた絶縁シート7の上下面に、酸化状態
30 (Bステージ状態) の第2および第3の絶縁シート7、
8を接着圧着して、絶縁シート1、7、8中の熱導性化
化層が硬化するに十分な温度に加热して一括して完全硬
化させる。なお、絶縁シート7、8には、配線用開口
9、10やピアホール等々11、12を設置した方法に
より直立形成してもよい。このようにして、図1(c)
に示すように、絶縁基板13内に電気子午線を内蔵する
を可能とすることができる。

〔0021〕次に、本発明の第2の製造方法によれば、図2(a)に示すように、無活性化樹脂を含むする絶縁シート20に、適量ヒアホールを形成してそのホール内に金属粉末を含む導体ペーストを充填してヒアホール部材21を形成し、さらにその表面又は裏面に配線回路層22を形成する。配線回路層22の形成は、前述した1)～3)のいずれの方法でもよい。

ア、ワイヤーポンティングなどの方法によ
る。【0023】その後、図2(ロ)に示すように、電気素
子23が形成された絶縁シート20の裏面に、空隙部2
4が形成された絶縁シート25を電気素子23が空隙部

(4)

特許平11-45955

5
24に取納されるように位置合わせて積層する。なお、絶縁シート25には、所望により記録面端層26、ピアホール導体27を形成してもよい。

[0024] そして、図2(d)に示すように、空隙部24が形成された絶縁シート25を積層したその上に、空隙部24を密封するように、絶縁シート28を積層する。

[0025] また、この絶縁シート28には、所望により記録面端層29、ピアホール導体30を形成してもよい。

[0026] そして、最終的にこれらの複数物を絶縁シート20、25、28中の熱硬化性樹脂が硬化するに十分な温度に加熱して一括して完全硬化させることにより、絶縁基板内に電気素子23を内蔵する多層配線基板を形成することができる。

[0027] また、本発明によれば、上記第1および第2の電気素子の空隙部内への実装取付方法を基準として、あらゆる形態の多層配線基板を作製することができる。例えば、図3に示すように、多層配線基板の絶縁基板32内において、IC素子33やコンデンサ34等のなどの電気素子を取納する空隙部35、36を同一箇内で、または異なる層内に直接層37を接続部形成して、これら複数の電気素子を実装取付させることができる。また、絶縁基板32の表面にも、他の電気素子38、39を背面実装することができる。その結果、表面のみならず、絶縁基板内蔵にも電気素子を高密度に実装した多層配線基板を作成することができる。

[0028] 上記の第1および第2の実装方法において、用いられる熱硬化性樹脂を含有する絶縁シートは、熱硬化性有機樹脂、または熱硬化性有機樹脂とフィラーなどの組成物を混載糊やラボロールなどの手段によって十分に混合し、これを圧延法、押出し法、射出法、ドクターブレード法などによってシート状に成形する。そして、所望により熟処理して熱硬化性樹脂を半硬化させる。半硬化には、樹脂が完全硬化するに十分な温度よりもやや低い温度に加熱する。

[0029] そして、この状態の絶縁層に対するスルーホール(ピアホール)および空隙部の形成は、ドリル、パンチング、サンドブラスト、あるいは焼結ガスレーザ、YAGレーザ、及びエキシマレーザ等の照射による加工など公知の方法が採用される。

[0030] なお、絶縁シートを形成する熱硬化性樹脂としては、絶縁材料としての電気的特性、耐熱性、および機械的強度を有する熱硬化性樹脂であれば特に限定されるものではなく、例えば、アラミド樹脂、フェノール樹脂、エポキシ樹脂、イミド樹脂、フッ素樹脂、フェニレンエーテル樹脂、ビスマイレイドトリアジン樹脂、ユリア樹脂、メラミン樹脂、シリコーン樹脂、ウレタン樹脂、不燃ポリエスチル樹脂、アリル樹脂等が、単独または組み合わせて使用できる。

10 6
【0031】また、上記の絶縁シート1中には、絶縁基板あるいは絶縁基板全体の強度を高めるために、有機樹脂に対してフィラーを複合化させることもできる。有機樹脂と複合化されるフィラーとしては、SiO₂、Al₂O₃、ZrO₂、TiO₂、AlN、SiC、BaTiO₃、SrTiO₃、ゼオライト、CaTiO₃、ほうじアルミニウム等の無機質フィラーが好適に用いられる。また、ガラスやアラミド樹脂からなる不織布、綿布などに上記樹脂を含浸させて用いててもよい。なお、有機樹脂とフィラーとは、体積比で15:85~50:50の比率で複合化されるのが適当である。

【0032】これらの電気素子を取納するための空隙部を形成する絶縁シートは、上記の種々の対象の中でも空隙部をパンチング又はレーザーで容易に加工できる点から、エポキシ樹脂、イミド樹脂、フェニレンエーテル樹脂と、シリカまたはアラミド不織布との複合物であることが最も望ましい。

20 【0033】一方、ピアホール導体2に充填される金属ペーストは、鋼粉末、銀粉末、銀被覆粉末、銅錫合金などの、平均粒径が0.5~50μmの金属粉末を含む。金属粉末の平均粒径が0.5μmよりも小さいと、金属粉末同士の接触抵抗が増加してスルーホール導体の抵抗が高くなる傾向にあり、50μmを超えるとスルーホール導体の抵抗抵抗が強くなる傾向にある。

30 【0034】また、導体ペーストは、前述したような金属粉末に対して、前述したような結合用有機樹脂や溶剤を適量混合して調製される。ペースト中に添加される溶剤としては、用いる場合用有機樹脂が溶解可能な溶剤であればよく、例えば、イソプロピルアルコール、テルピネオール、2-オクタノール、ブチルカルビトルアセテート等が用いられる。

40 【0035】上記の導体ペースト中の結合用有機樹脂としては、前述した種々の絶縁シートを構成する有機樹脂の他、セルロースなども使用される。この有機樹脂は、前記金属粉末同士を互いに接着させた状態で結合するとともに、金属粉末を絶縁シートに接着させる作用をしている。この有機樹脂は、金属ペースト中において、0.1乃至4.0体積%、特に0.3乃至3.0体積%の割合で含有されることが望ましい。これは、微細量が0.1体積%よりも少ないと、金属粉末同士を強固に結合することが難しく、抵抗抗金属を絶縁層に接着させることが困難となり、逆に4.0体積%を超えると、金属粉末間に樹脂が介在することになり粉末同士を十分に接着させることができなくなり、スルーホール導体の抵抗が大きくなるためである。

50 【0036】記録面層としては、鋼、アルミニウム、金、銀の導から選ばれる少なくとも1種、または2種以上の合金からなることが望ましく、特に、鋼、または銅を含む合金が最も望ましい。また、場合によっては、導体組成物として四界の抵抗調整のためにNi-Cr合金

特開平11-45955

8

などの高融点の金属を混合、または合金化してもよい。さらには、配線層の低融化のために、貴金属や金よりも低融点の金属、例えば、半田、錫などの低融点金属を導体組成物中の金属成分中に2~20重量%の割合で含んでもよい。

[0037] 配線回路層4と絶縁シート1との接着強度を高める上では、絶縁シート1の配線回路層4の形成面所および/または転写フィルム表面の配線回路層4表面の膜厚を0.1μm以上、特に0.3μm~3μm、最適には0.3~1.5μmに粗略加工することが望ましい。また、ピアホール導体の表面を金属層からなる配線回路層によって封止する上では、配線回路層4の厚みは、5~40μmが適当である。

[0038] このようにして、本発明によれば、従来の積層方法を用いて、複数の絶縁層が複層されてなる複数基板内部に電気素子を実装収納することができ、これにより多層配線基板の電気素子を高密度に配置することができ、多層配線基板の小型化を図ることができる。

[0039]

[実施例]

実施例1

(1) アラミド繊維の不織布に対してイミド樹脂を50体積%の割合で含浸した厚さ100μmのアリプレグに、炭酸ガスレーザーで直径0.1mmのピアホールを形成し、そのホール内に銅をメッキした鋼粉末を含む鋼ベーストを充填してピアホール導体を形成した。また、このアリプレグにレーザーを用いて半導体素子や電子部品を設置するための1.2mm×1.2mmの大きさの空隙部を形成した。

[0040] (2) 一方、イミド樹脂50体積%、シリカ粉末50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ7.5μmの絶縁シートを作製し、その絶縁シートにパンチングで直径0.1mmのピアホールを形成し、そのホール内に銅をメッキした鋼粉末を含む鋼ベーストを充填してピアホール導体を形成した。

[0041] (3) また、一方、ポリエチレンテレフタート(PET)樹脂からなる転写シートの表面に接着剤を塗布し、厚さ1.2μm、膜厚幅さ0.8mmの樹脂を一面に接着した。そして、フォトレジスト(ドライフィルム)を塗布し露光装置を行った後、これを塗化第二鉄粉中に浸漬してリバーパターン部をエッチング除去して配線回路層を形成した。なお、作製した配線回路層には、構造が20μm、配線と配線との間隔が20μmの細かなパターンである。その後、この配線回路層にIC素子をフリップチップ接続し、ホリイミド樹脂で封止した。

[0042] (4) そして、(1)で作製したアリプレグに対して、(2)で電気素子を実装した転写シートを、アリプレグの空隙部に電気素子が収納されるように

位置決めして50kg/cm²の圧力を加えて圧着した後、転写フィルムを剥離して、配線回路層とIC素子をアリプレグに転写した。

[0043] (5) (2)で作製した絶縁シートの表面に、(3)と同様にして金属層からなる配線回路層を形成したPBT樹脂フィルムから、配線回路層を転写させた。

[0044] (6) 空隙部にIC素子が転写されたアリプレグを中心にして、その上下面に(5)のようにして配線回路層が転写された絶縁シートを上下各2層づつ重ねし50kg/cm²の圧力を圧着し、200°Cで1時間加熱して完全硬化させて多層配線基板を作製した。

[0045] 得られた多層配線基板に対して、断面における配線回路層やピアホール導体の形状附近を確認した結果、IC素子と配線回路層、ピアホール導体と配線回路層とは良好な接続状態であり、各配線層の導通テストを行った結果、配線の断線も認められなかった。また、IC素子の動作においても何ら障害はなかった。得られた多層配線基板を温度5%、温度85°Cの高温多湿環境に100時間放置したが、目視で変形できる程度の変化は生じていなかった。

[0046] 実施例2

(1) アラミド不織布にエボキシ樹脂を含浸させた厚さ60μmの半硬化状態の絶縁シートAに、炭酸ガスレーザーで直径0.1mmのピアホールを形成し、そのホール内に銅をメッキした鋼粉末を含む鋼ベーストを充填してピアホール導体を形成した。そして、転写フィルムの表面に鋼層を接着した後、フォトレジスト(ドライフィルム)を塗布し露光装置を行った後、これを塗化第二鉄粉中に浸漬してリバーパターン部をエッチング除去して配線回路層を形成し、この配線回路層を絶縁シートAに位置合わせて乾燥し、100kg/cm²の圧力を圧着してフィルムを剥がし、配線回路層を転写させた。

[0047] (2) 次に、この配線回路層の表面にセラミックコンデンサ素子を半田を用いて実装した。

[0048] (3) その後、コンデンサ素子を実装した絶縁シートAの裏面に、(1)と同様にしてピアホール導体および配線回路層を形成するとともに、前記セラミックコンデンサ素子を収納するための空隙部をレーザー加工によって形成した絶縁シートBを30kg/cm²の圧力を圧着圧着した。

[0049] (4) さらに、その絶縁シートBの表面に、(1)と同様にしてピアホール導体および配線回路層を形成した絶縁シートCを30kg/cm²の圧力を圧着圧着した。

[0050] (5) そして、絶縁シートA、B、Cの複数層を35kg/cm²の圧力を印加しながら195°Cに加熱して完全硬化させて多層配線基板を作製した。

[0051] 得られた基板に対して、断面における配線回路層やピアホール導

(6)

特開平11-45955

9

体の形成付近を観察した結果、コンデンサ基子と配線回路層、ピアホール導体と配線回路層とは良好な接続が確認され、各記載回路の導通テストを行った結果、記載の断層も認められなかった。また、コンデンサ基子においても何ら問題なく、所定の容量を得ることができた。特段多層配線基板を温度81%、温度81%での高湿度多湿昇温気圧に100時間放置したが、目視で判断できる程度の変化は生じていなかった。

【0052】

【発明の概要】以上詳述したとおり、本発明によれば、電気素子を絶縁基板の内層に形成した空隙部に実装されることにより、転写フィルム上の網版から形成した配線回路層に対して半導体素子や各種電子部品等の電気素子を実装した後、空隙部を形成した絶縁層の裏面に転写して、電気素子を空隙部に収納することにより、これにより多層配線基板に内蔵させることができ、これにより多層配線基板に現層一体化することにより高密度、高精

10

細、且つ多機能の配線基板を容易に形成できる。

【図面の簡単な説明】

【図1】本発明の素子内蔵多層配線基板の製造方法の一実施例を説明するための工程図である。

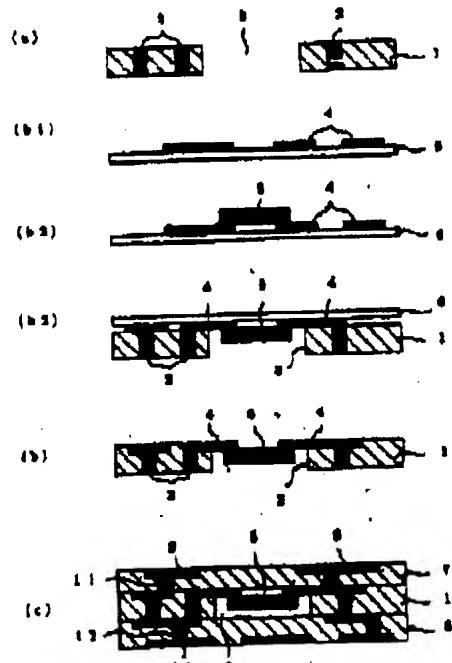
【図2】本発明の素子内蔵多層配線基板の製造方法の他の実施例を説明するための工程図である。

【図3】本発明の素子内蔵多層配線基板において、電気素子を内蔵した空隙部を複数形成した多層配線基板を説明するための構成断面図である。

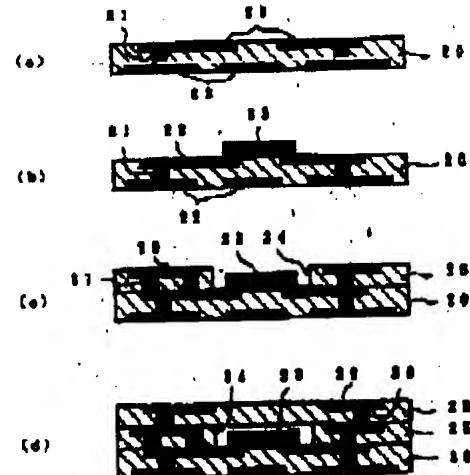
【符号の欄明】

1. 7. 8. 20. 25. 28 絶縁シート
2. 11. 12. 21. 27. 30 ピアホール導体
3. 24. 35. 36. 37 空隙部
4. 9. 10. 22. 26. 29 配線回路層
5. 23. 33. 34. 37. 38 電気素子
6. 転写フィルム
19. 31. 32 絶縁基板

【図1】



【図2】



【図3】

